

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045828

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01L 23/373

H01L 23/06

H01L 25/07

H01L 25/18

(21)Application number : 07-194601

(71)Applicant : NEC CORP

(22)Date of filing : 31.07.1995

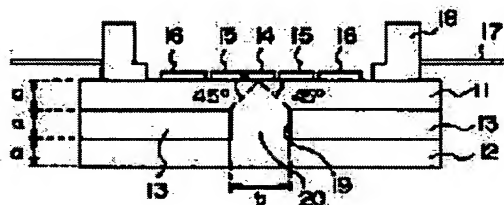
(72)Inventor : TOKUNAGA KAZUNAO

(54) PACKAGE FOR SEMICONDUCTOR DEVICE USE

(57)Abstract:

PROBLEM TO BE SOLVED: To inhibit the generation of a warpage of a package, which is caused by the heat history of the package, and to prevent increase in the heat resistance of the package, which is caused by the intermediate layer of the package, from being generated by a method wherein a through hole formed in the third layer held between first and second layers is filled with a first material which forms the first layer.

SOLUTION: This package has Cu layers 11 and 12 and an intermediate layer (an Mo layer, a CuW layer or the like) 13 inserted between these layers 11 and 12. An FET 14 which is a heating element, chip capacitors 15, circuit boards 16 and the like are mounted on the upper surface of the Cu layer 11. Moreover, ceramic walls 18 for fixing lead wires 17 are mounted on the upper surface of the layer 11. A through hole 19 is formed on the layer 13 of the package and this hole 19 is filled with a Cu buried layer 20. This hole 19 is provided in a state corresponding to the components mounted on the package, specially the FET 14 which generates an intense heat.



LEGAL STATUS

[Date of request for examination]

31.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2765621

[Date of registration]

03.04.1998

[Number of appeal against examiner's decision of rejection]

Published patent application No.H09-45828

[Title of the Invention]

SEMICONDUCTOR DEVICE PACKAGE

[Claims]

[Claim 1]

A semiconductor device package including a heating element and having a three-layer structure for mounting semiconductor devices, characterized by comprising:

a first layer formed of a first material having a front surface on which the semiconductor devices are mounted;

a second layer formed of the first material; and

a third layer formed of a second material having a thermal expansion coefficient smaller than that of the first material, and sandwiched between the first layer and the second layer,

wherein a through hole is formed in the third layer, and

the through hole is buried with the first material.

[Claim 2]

The semiconductor device package according to claim 1, characterized in that the first material is Cu.

[Claim 3]

The semiconductor device package according to claim 2, characterized in that the second material is any one of Mo and CuW.

[Claim 4]

The semiconductor device package according to claim 1, 2, or 3, characterized in that the through hole is formed so that a central axis of the through hole passes through a geometric center of a contact surface of the heating element with respect to the front surface.

[Claim5]

The semiconductor device package according to claim 4, characterized in that an angle between a line from the geometric center to a top edge of the through hole and the front surface is smaller than an angel of 45°.

[Claim6]

The semiconductor device package according to claim 1, 2, 3, 4, or 5, characterized in that at least one different through hole is provided around the through hole in the third layer.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs]

The present invention relates to a semiconductor device package, particularly to a semiconductor device package on which a semiconductor device with high heat generation is mounted.

[0002]

[Prior Art]

In recent years, with the development of mobile

communications and the like, there is an increasing demand for high power microwave communication FETs, which are key devices thereof. In order to respond to this demand, it is inevitable to increase the size of packages as described below.

[0003]

More specifically, GaAs FETs are used for microwave communication FETs in general. However, when a high power GaAs FET is intended, it is inevitable to increase at least its gate width. Therefore, a pellet is increased in size.

[0004]

An increase in size of the pellet causes low impedance in the pellet. Impedance matching (50 ohm matching) between a pellet and external lines is done by using components having ceramics in raw materials such as a chip condenser and a circuit board, but these components are increased in size in order to respond to low impedance in the pellet.

[0005]

In this manner, mount components such as pellets and other components on packages are increased in size, and thus packages are also increased in size.

[0006]

In the meantime, in mounting a GaAs pellet and ceramic components on a package, that is, in mount bonding, the package undergoes thermal hysteresis of heating and cooling at a temperature of about 300°C. The thermal expansion coefficients

of GaAs, ceramics, and copper being a typical package material, are 6.6×10^{-6} , 5 to 8×10^{-6} , $17 \times 10^{-6}/K$, respectively; the thermal expansion between the package and its mount components is greatly varied. The difference in the thermal expansion coefficients generate warpage in the package and the mount components in the middle of process steps through the thermal hysteresis, and cracks are generated in the GaAs pellet and the ceramic components. The generation of cracks like this tends to occur as the component size is greater.

[0007]

Traditionally, in order to prevent cracks from being generated because of the difference in the thermal expansion coefficient like this, there is a package of three-layer structure in which Mo ($5.1 \times 10^{-6}/K$) or CuW (6.5 to $8.5 \times 10^{-6}/K$) having a thermal expansion coefficient close to that of GaAs and ceramics is sandwiched between a Cu layer and a Cu layer (TOKYO TUNGSTEN CO., LTD TECHNICAL REVIEW, No. 3, APRIL in 1992). A package like this is shown in Fig. 4.

[0008]

The package shown in Fig. 4 has a Cu layer 41, a Cu layer 42, and an intermediate layer 43 made of Mo, CuW, or the like, interposed therebetween. In addition, on the top surface of the Cu layer 41, components such as an FET 44, chip condensers 45, and circuit boards 46 are mounted.

[0009]

[Problems that the Invention is to Solve]

However, when a single-layer structure package and a three-layer structure package in the same size are compared with each other, the three-layer structure package having the intermediate layer of Mo, CuW, or the like has a great problem that thermal resistance is greater than that of the package made of Cu only. This can be easily understood because the thermal resistance of the package is proportional to the reciprocal of thermal conductivity of a material forming the package, and the thermal conductivities of Mo, CuW, and Cu are 167, 209 to 247, and 394 W/m·K, respectively; the thermal conductivities of Mo and CuW are considerably smaller than that of Cu. For example, when a three-layer structure package having Mo for the intermediate layer is placed and the thickness of each layer is equally formed, the thermal resistance thereof is as great as about 1.4 times the size of the package made of Cu only. When the thermal resistance of the package is great, the channel temperature of the FET mounted thereon also becomes high, leading to deterioration in characteristics and shorter lifetime.

[0010]

As described above, the traditional three-layer structure package has features that can prevent cracks from being generated in the pellet and the mount components, but it has a problem that causes an increase in thermal resistance

and leads to deterioration in characteristics and shorter lifetime in semiconductor devices to be mounted thereon.

[0011]

An object of the invention is to provide a semiconductor device package of three-layer structure which can prevent the generation of warpage in the package (cracks in mount component) through thermal hysteresis, and has thermal resistance nearly equal to that of a package made of Cu only.

[0012]

[Means for Solving the Problems]

According to the invention, a semiconductor device package can be obtained: the semiconductor device package including a heating element and having three-layer structure for mounting semiconductor devices, characterized by including:

a first layer formed of a first material having a front surface on which the semiconductor devices are mounted;

a second layer formed of the first material; and

a third layer formed of a second material having a thermal expansion coefficient smaller than that of the first material, and sandwiched between the first layer and the second layer,

wherein a through hole is formed in the third layer, and

the through hole is buried with the first material.

[0013]

[Mode for Carrying Out the Invention]

Hereinafter, an embodiment according to the invention will be described with reference to the drawings. Fig. 1 shows a semiconductor device package of an embodiment according to the invention. This package has Cu layers 11 and 12, and an intermediate layer (Mo, CuW or the like) 13 sandwiched therebetween. Furthermore, on the top surface of the Cu layer 11, an FET 14 being a heating element, chip condensers 15, circuit boards 16 and the like are mounted. Moreover, on the top surface of the Cu layer 11, ceramic walls 18 for fixing leads 17 are mounted.

[0014]

A through hole 19 is formed in the intermediate layer 13 of the package of the embodiment, and the through hole 19 is buried with a Cu buried layer 20. The through hole 19 is provided corresponding to components to be mounted on the package, particularly to the FET 14 that generates heat greatly. In detail, heat transmitting in the thickness direction (downward in the drawing) is most hard to be dissipated in the heat transmitting from the FET 14 to the package. In order to efficiently dissipate this heat, the through hole 17 is formed right under the FET 14, and the central axis thereof passes through the substantial center of the FET 14 (the geometric center of the surface contacted to the Cu layer 11). In addition, as shown in Fig. 1, it is fine that the diameter of the through hole 19 is formed so that an angel between a line from the center

of the FET 14 to the top edge of the through hole 19 and the surface of the Cu layer 11 is smaller than an angle of 45° (because the heat dissipation path of the package is in the direction of an angle of 45° as centering the FET 14 being the heating element). More specifically, it is fine in the case of Fig. 1, $b > 2a$, where the thickness of the Cu layer 11 is a , and the diameter is b .

[0015]

Here, when the diameter of the through hole 19 is formed great too much, warpage is generated in the package because of thermal hysteresis to cause cracks in the components mounted, as similarly to the package made of Cu only. On this account, the diameter of the through hole 19 cannot be formed greater than necessary. Then, when heat dissipation effects are to be enhanced greater than those in the package shown in Fig. 1, it is fine that a plurality of different through holes 21 is formed so as to surround the through hole 19 (in mesh) as shown in Fig. 2, and then buried with Cu, not forming the diameter of the through hole 19 greater.

[0016]

Next, a fabrication method of the package shown in Fig. 1 will be described with reference to Fig. 3. First, as shown in Fig. 3(a), a plate 31 where the Cu layer 12 and the Cu buried layer 20 are formed simultaneously is prepared, and the intermediate layer 13 where the through hole 19 is formed is

prepared. Then, as shown in Fig. 3(b), the plate 31 is attached to the intermediate layer 13 with an Ag brazing material 32.

[0017]

Subsequently, as shown in Fig. 3(c), the Cu layer 11 is prepared, and the Cu layer 11 is attached to the top surfaces of the intermediate layer 13 and the Cu buried layer 20 with the Ag brazing material 32, as shown in Fig. 3(d). In this manner, the three-layer structure package where the intermediate layer 13 has the through hole 19 and the through hole 19 is buried with the Cu buried layer 20 can be fabricated.

[0018]

[Advantage of the Invention]

According to the invention, the through hole is formed in the intermediate layer of the three-layer structure package, and the through hole is buried with Cu. Therefore, it provides the features; warpage is prevented from being generated in the package due to thermal hysteresis, and thus cracks can be prevented from being generated in mount components. In addition to this, an increase in thermal resistance of the package because of provision of the intermediate layer can be suppressed.

[Brief Description of the Drawings]

[Fig. 1] It is a cross-sectional view illustrating an embodiment according to the invention.

[Fig. 2] It is a cross-sectional view illustrating another

embodiment according to the invention.

[Fig. 3] It is a diagram for describing the fabrication method of the semiconductor device package shown in Fig. 1.

[Fig. 4] It is a cross-sectional view illustrating the traditional semiconductor device package.

[Description of Reference Numerals and Signs]

- 11 Cu layer
- 12 Cu layer
- 13 intermediate layer
- 14 FET
- 15 chip condenser
- 16 circuit board
- 17 lead
- 18 wall
- 19 through hole
- 20 Cu buried layer
- 21 through hole
- 31 plate
- 32 Ag brazing material

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 4 5 8 2 8

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	23/373		H 0 1 L	23/36 M
	23/06			23/06 B
	25/07			25/04 C
	25/18			

審査請求 有 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平7-194601

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 徳永 一直

東京都港区芝五丁目7番1号 日本電気株式
会社内

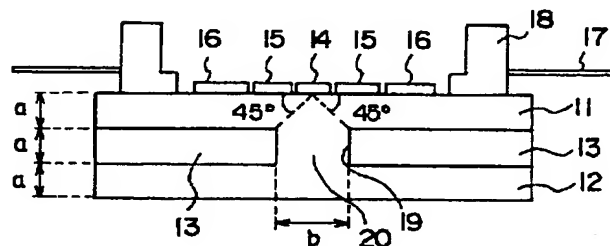
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置用パッケージ

(57) 【要約】

【課題】 3層構造の半導体装置用パッケージの熱履歴による反りの発生を抑制するという特長を生かしつつ、中間層による熱抵抗の増大を防ぐ。

【解決手段】 Cu層11と12との間に挟まれたMo或いはCuW等の中間層13にスルーホール19を形成し、そのスルーホールをCu埋込層18で埋め込む。



【特許請求の範囲】

【請求項 1】 発熱体を含む半導体装置を搭載するための半導体装置用パッケージであって、第 1 の材料からなり前記半導体装置を搭載する主面を有する第 1 の層と、前記第 1 の材料からなる第 2 の層と、前記第 1 の材料よりも熱膨張係数の小さい第 2 の材料からなり、前記第 1 の層と前記第 2 の層との間に挟まれた第 3 の層とを有する 3 層構造の半導体装置用パッケージにおいて、前記第 3 の層にスルーホールを形成し、該スルーホールを前記第 1 の材料で埋め込んだことを特徴とする半導体装置用パッケージ。

【請求項 2】 前記第 1 の材料が Cu であることを特徴とする請求項 1 の半導体装置用パッケージ。

【請求項 3】 前記第 2 の材料が Mo 及び CuW のいずれかであることを特徴とする請求項 2 の半導体装置用パッケージ。

【請求項 4】 前記スルーホールの中心軸が、前記主面に対する前記発熱体の接触面の幾何学的中心を通過する様に、前記スルーホールを形成したことを特徴とする請求項 1、2、または 3 の半導体装置用パッケージ。

【請求項 5】 前記幾何学的中心と前記スルーホールの上縁とを結ぶ線と、前記主面とが成す角度が 45° よりも小さいことを特徴とする請求項 4 の半導体装置用パッケージ。

【請求項 6】 前記第 3 の層の前記スルーホールの周囲に他のスルーホールを少なくとも 1 つ設けたことを特徴とする請求項 1、2、3、4、または 5 の半導体装置用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置用パッケージに関し、特に、発熱の大きな半導体装置を搭載する半導体装置用パッケージに関する。

【0002】

【従来の技術】近年、移動体通信等の発展に伴い、そのキープデバイスであるマイクロ波通信用 FET の高出力化の要求が強まっている。この要求に答えるためには、以下に説明する様に、パッケージの大型化を避けることができない。

【0003】つまり、一般的にマイクロ波通信用 FET としては、GaAs FET が活用されているが、この GaAs FET の高出力化を図る場合、少なくともゲート幅の増大を避けることができない。したがって、ペレットのサイズが大型化する。

【0004】ペレットサイズの大型化は、ペレットの低インピーダンス化を招く。ペレットと外部線路との間のインピーダンス整合 (50Ω 整合) は、チップコンデンサや回路基板等、セラミックを素材とする部品を用いて行なうが、ペレットの低インピーダンス化に対応するためには、これらの部品が大型化する。

【0005】このように、ペレットやその他部品等、パッケージへの搭載部品が大型化するので、パッケージも大型化する。

【0006】ところで、GaAs ペレットやセラミック部品をパッケージに搭載する際、つまり、マウント・ボンディング時には、パッケージは、 300°C 程度の加熱と冷却という熱履歴を経る。GaAs、セラミック、及び一般的なパッケージ材料である銅の熱膨張係数は、それぞれ、 6.6×10^{-6} 、 $5 \sim 8 \times 10^{-6}$ 、 $17 \times 10^{-6}/\text{K}$ であり、パッケージとその搭載部品との熱膨張が大きく異なる。この熱膨張係数の違いは、上記熱履歴を経る工程の途中でパッケージ及び搭載部品に反りを発生させ、GaAs ペレットや、セラミック部品にクラックを発生させる。このようなクラックの発生は、部品のサイズが大きいくほど起こり易い。

【0007】従来、このような熱膨張係数の違いによるクラックの発生を防止するために、熱膨張係数が、GaAs やセラミックに近い Mo ($5.1 \times 10^{-6}/\text{K}$) や CuW ($6.5 \sim 8.5 \times 10^{-6}/\text{K}$) を Cu 層と Cu 層との間に挟み込んだ 3 層構造のパッケージがある (東タングステン、TOKYO TUNGSTEN CO., LTD TECHNICAL REVIEW、第 3 号、APRIL 1992: 東京タングステン株式会社)。そのようなパッケージを図 4 に示す。

【0008】図 4 のパッケージは、Cu 層 41 及び Cu 層 42 と、これらの間に介在する Mo 或いは CuW 等の中間層 43 を有している。また、Cu 層 41 の上面には、FET 44、チップコンデンサ 45、及び回路基板 46 等の部品が搭載されている。

【0009】

【発明が解決しようとする課題】しかしながら、同一サイズの 1 層構造のパッケージと 3 層構造のパッケージとを比較すると、Mo や CuW 等の中間層を有する 3 層構造のパッケージは、Cu 単体のパッケージに比べて熱抵抗が大きいという問題点がある。これは、パッケージの熱抵抗が、パッケージを構成する材料の熱伝導率の逆数に比例し、Mo、CuW、及び Cu の熱伝導率が、それぞれ、 167 、 $209 \sim 247$ 、及び $394 \text{ W/m} \cdot \text{K}$ であって、Mo や CuW の熱伝導率が Cu 比べ、かなり小さいことから容易に理解できる。例えば、中間層として Mo を用いた 3 層構造のパッケージに置いて、各層の厚さを等しくした場合、その熱抵抗は、同じサイズの Cu 単体パッケージに比べて約 1.4 倍も大きくなる。パッケージの熱抵抗が大きいと、そこに搭載される FET のチャネル温度も高くなり、特性劣化や寿命短縮など原因となる。

【0010】このように、従来の 3 層構造のパッケージは、ペレットや搭載部品のクラックの発生を阻止することができるという特長があるもの、熱抵抗の増大を招き、搭載する半導体装置の特性劣化や寿命短縮を招くという問題点がある。

【0011】本発明は、熱履歴を経ることによるパッケージの反り（搭載部品のクラック）の発生を防止でき、しかも熱抵抗がCu単体と同程度の3層構造の半導体装置用パッケージを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明によれば、発熱体を含む半導体装置を搭載するための半導体装置用パッケージであって、第1の材料からなり前記半導体装置を搭載する主面を有する第1の層と、前記第1の材料からなる第2の層と、前記第1の材料よりも熱膨張係数の小さい第2の材料からなり、前記第1の層と前記第2の層との間に挟まれた第3の層とを有する3層構造の半導体装置用パッケージにおいて、前記第3の層にスルーホールを形成し、該スルーホールを前記第1の材料で埋め込んだことを特徴とする半導体装置用パッケージが得られる。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1に本発明の一実施形態の半導体装置用パッケージを示す。このパッケージは、Cu層11及び12と、これらの間に挟み込まれた中間層(Mo、或いはCuW等)13とを有している。そして、Cu層11の上面には、発熱体であるFET14、チップコンデンサ15、及び回路基板16等が搭載されている。また、Cu層11の上面には、リード線17を固定するセラミックの壁18が取り付けられている。

【0014】本実施形態のパッケージの中間層13には、スルーホール19が形成され、このスルーホール19は、Cu埋込層20で埋め込まれている。このスルーホール19は、パッケージに搭載される部品、特に発熱の大きなFET14、に対応して設けられる。詳述すると、FET14からパッケージへと伝わる熱のうち最も放熱されにくいのは、厚さ方向（図の下方向）に伝わった熱である。この熱を効率よく放熱するには、スルーホール17をFET14の直下に形成し、その中心軸がFET14の実質的中心（Cu層11に接する面の幾何学的中心）を通るようにする。また、スルーホール19の直径は、図1のようにFET14の中心とスルーホール19の上縁とを結ぶ線と、Cu層11の表面とが成す角度が45°よりも小さくなるようにするとよい（パッケージの熱放散経路が、発熱体であるFET14を中心として45°の方向であるため）。すなわち、図1の場合は、Cu層11の厚さがaなので、その径bが、 $b > 2a$ となるようにすればよい。

【0015】ここで、スルーホール19の径を大きくし過ぎると、Cu単体のパッケージの場合と同様に、熱履歴によりパッケージに反りが発生し、搭載した部品にクラックが生じる。したがって、スルーホール19の径を

必要以上に大きくすることはできない。そこで、図1のパッケージよりもさらに、放熱効果を向上させたい場合は、スルーホール19の径を大きくするのではなく、図2に示すように、スルーホール19を取り囲むように（メッシュ状に）、複数の別のスルーホール21を設け、Cuで埋め込むようにすればよい。

【0016】次に図3を参照して、図1に示すパッケージの製造方法を説明する。まず、図3(a)に示すように、Cu層12とCu埋込層20とを同時に形成したプレート31と、スルーホール19を形成した中間層13を用意する。そして、図3(b)に示すように、プレート31と中間層13とをAgロウ32を用いて接着する。

【0017】次に、図3(c)に示すように、Cu層11を用意し、図3(d)に示すように、中間層13及びCu埋込層20の上面に、Agロウ32を用いてCu層11を接着する。こうして、中間層13がスルーホール19を有し、そのスルーホール19がCu埋込層20で埋め込まれた3層構造のパッケージが作製できる。

【0018】

【発明の効果】本発明によれば、3層構造のパッケージの中間層にスルーホールを形成し、このスルーホールをCuで埋め込むようにしたことで、熱履歴によるパッケージの反りの発生を抑制し、もって搭載部品のクラックの発生を抑制することができるという特徴を有し、しかも、中間層を設けたことによるパッケージの熱抵抗の増加を抑制することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す断面図である。

【図2】本発明の実施の他の形態を示す断面図である。

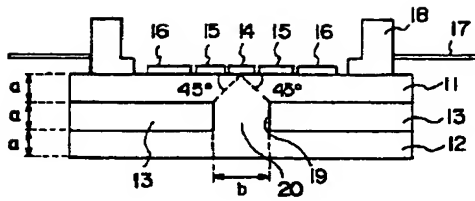
【図3】図1の半導体装置用パッケージの製造方法を説明するための図である。

【図4】従来の半導体装置用パッケージの断面図である。

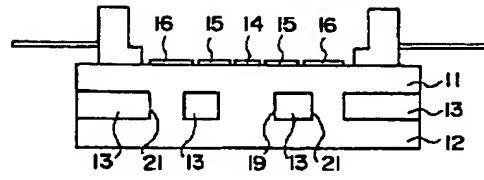
【符号の説明】

11	Cu層
12	Cu層
13	中間層
14	FET
15	チップコンデンサ
16	回路基板
17	リード線
18	壁
19	スルーホール
20	Cu埋込層
21	スルーホール
31	プレート
32	Agロウ

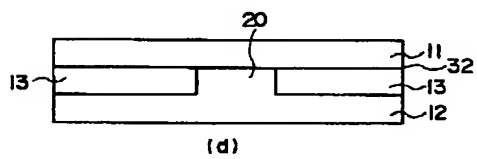
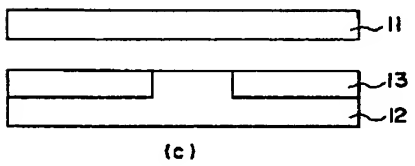
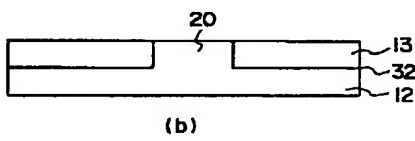
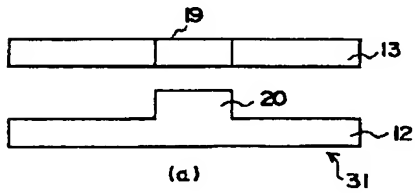
【図 1】



【図 2】



【図 3】



【図 4】

